

(19) 日本国特許庁(JP)

## (12) 公表特許公報(A)

(11) 特許出願公報番号

特表2006-515471

(P2006-515471A)

(43) 公表日 平成18年5月25日(2006.5.25)

(51) int.Cl.

F1

テーマコード(参考)

HO1L 27/092 (2006.01)	HO1L 27/08	321D	4M104
HO1L 21/8238 (2006.01)	HO1L 29/58	G	5F048
HO1L 29/423 (2006.01)	HO1L 29/78	301G	5F083
HO1L 29/49 (2006.01)	HO1L 27/10	621C	5F140
HO1L 29/78 (2006.01)			

審査請求 有 予備審査請求 未請求 (全 24 頁) 最終頁に続く

(21) 出願番号

特願2005-518891 (P2005-518891)

(71) 出願人

マイクロン テクノロジー, インク,  
アメリカ合衆国 83706 アイダホ州  
、ボイズ、サウス フェデラル ウエ  
イ 8000

(36) (22) 出願日

平成16年3月3日(2004.3.3)

(74) 代理人

弁理士 石原 昌典

(35) 翻訳文提出日

平成17年9月6日(2005.9.6)

エピック, デニス, エム,  
アメリカ合衆国, アイダホ州 8370  
6, ボイズ, サウス サンツリー ウ  
エイ 3905

(36) 国際出願番号

PCT/US2004/006584

(72) 発明者

ウェイマー, ロナルド, エイ,  
アメリカ合衆国, アイダホ州 8370  
6, ボイズ, イー, ヴィクトリー  
ロード 1696

(37) 国際公開番号

W02004/082005

最終頁に続く

(38) 国際公開日

平成16年9月23日(2004.9.23)

(31) 優先権主張番号

10/388,103

(32) 優先日

平成15年3月12日(2003.3.12)

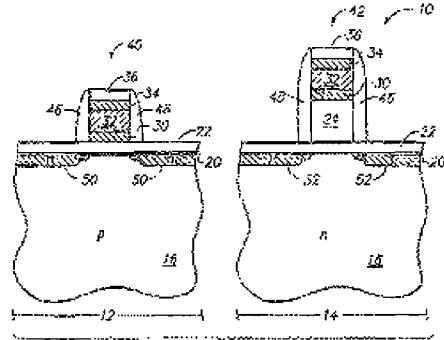
(33) 優先権主張国

米国(US)

(54) 【発明の名称】半導体MOS装置及びCMOS装置、コンデンサ、及び製造方法

## (57) 【要約】

回路装置の作製方法を提供する。導電性にドープされたシリコンと誘電材との間に厚さ20Å以下(または70Å以下)のALDサイクルで生じた厚さ)の金属含有材を形成する。導電性にドープされたシリコンとしてn型を用いることができ、誘電材は高k誘電材を用いることができる。金属含有材は誘電層上へ直接形成でき、導電性にドープされたシリコンは金属含有材上へ直接形成できる。回路装置はコンデンサ構造体あるいはトランジスタ構造体とすることができます。回路装置がトランジスタ構造体である場合はCMOS装置中へ組み入れができる。本発明による種々装置はメモリ構造体中へ組み入れられる他、電子システムへも組み入れができる。



## 【特許請求の範囲】

## 【請求項 1】

PMOS ゲート領域及びNMOS ゲート領域を含む基板を供する工程と、  
前記基板の前記PMOS 及びNMOS ゲート領域上へゲート誘電層を形成する工程と、  
前記PMOS ゲート領域上に存在するが前記NMOS ゲート領域上には存在しないよう  
に、厚さが20 Å 以上の厚い金属含有材を形成する工程と、  
前記PMOS 及びNMOS ゲート領域上に薄い金属含有層を形成する工程であって、前  
記薄い金属含有層は厚さが20 Å 以下に形成され、前記PMOS ゲート領域上の前記厚い  
金属含有材上へ形成される工程と、  
前記薄い金属含有材上へ前記PMOS 及びNMOS ゲート領域を横切って拡がる導電性 10  
にドープされたシリコン層を形成する工程と、

前記PMOS ゲート領域上のPMOS トランジスタ積重ねゲート中へ前記厚い金属含有  
材、前記薄い金属含有材及び前記導電性にドープされたシリコンを組み入れる工程と、

前記NMOS ゲート領域上のNMOS トランジスタ積重ねゲート中へ前記薄い金属含有  
材及び前記導電性にドープされたシリコンを組み入れる工程から構成される、PMOS 装  
置及びNMOS 装置の作製方法。

## 【請求項 2】

前記導電性にドープされたシリコンの大部分がn型にドープされていることを特徴とす  
る請求項 1 項記載の方法。

## 【請求項 3】

前記ゲート誘電層にタンタル、ハフニウム、及びアルミニウムの1または2以上が含ま  
れることを特徴とする請求項 1 項記載の方法。

## 【請求項 4】

前記ゲート誘電層が二酸化シリコン上の酸化アルミニウムから成ることを特徴とする請  
求項 1 項記載の方法。

## 【請求項 5】

前記薄い金属含有材に窒化チタン、窒化タンタル、窒化ハフニウム、及び窒化タンゲス  
テンの1または2以上が含まれることを特徴とする請求項 1 項記載の方法。

## 【請求項 6】

前記薄い金属含有材に珪化チタン、珪化タンタル、珪化ハフニウム、及び珪化タンゲス  
テンの1または2以上が含まれることを特徴とする請求項 1 項記載の方法。

## 【請求項 7】

前記薄い金属含有材の金属がチタン、タンタル、タンゲステン、及びハフニウムの1ま  
たは2以上から成ることを特徴とする請求項 1 項記載の方法。

## 【請求項 8】

前記薄い金属含有材の厚さが約15 Å 以下であることを特徴とする請求項 1 項記載の方  
法。

## 【請求項 9】

前記薄い金属含有材の厚さが約10 Å 以下であることを特徴とする請求項 1 項記載の方  
法。

## 【請求項 10】

基板上の誘電層と、

前記誘電層上のPMOS ゲート及びNMOS ゲートと、

前記PMOS ゲート内かつ前記誘電層上の20 Å 以上の厚さをもつ第一金属含有材と、  
前記NMOS ゲート内かつ前記誘電層上の約20 Å 以下の厚さをもつ第二金属含有材と

、前記PMOS ゲート内かつ前記第一金属含有材上のn型にドープされたシリコンから成  
る第一層と、

前記NMOS ゲート内かつ前記第二金属含有材上のn型にドープされたシリコンの第二  
層とから構成されるCMOS。

20

40

50

## 【請求項 1 1】

前記誘電層にタンタル、ハフニウム、及びアルミニウムの1または2以上が含まれることを特徴とする請求項10項記載のCMOS。

## 【請求項 1 2】

前記誘電層に酸化アルミニウムが含まれることを特徴とする請求項10項記載のCMOS。

## 【請求項 1 3】

前記第一及び第二金属含有材が酸化アルミニウムと物理的に接していることを特徴とする請求項11項記載のCMOS。

## 【請求項 1 4】

前記第一及び第二金属含有材が互いに同一の組成をもつことを特徴とする請求項10項記載のCMOS。

## 【請求項 1 5】

前記第一及び第二金属含有材が主として窒化チタン、窒化タンタル、窒化タンクステン、及び窒化ハフニウムの1または2以上から成ることを特徴とする請求項14項記載のCMOS。

## 【請求項 1 6】

前記第一及び第二金属含有材が主として珪化チタン、珪化タンタル、珪化タンクステン、及び珪化ハフニウムの1または2以上から成ることを特徴とする請求項14項記載のCMOS。

## 【請求項 1 7】

前記第二金属含有材の厚さが約15Å以下であることを特徴とする請求項10項記載のCMOS。

## 【請求項 1 8】

前記第二金属含有材の厚さが約10Å以下であることを特徴とする請求項10項記載のCMOS。

## 【請求項 1 9】

前記第一金属含有材の厚さが約100Å以上であることを特徴とする請求項10項記載のCMOS。

## 【請求項 2 0】

記第一金属含有材の厚さが約150Å以上であることを特徴とする請求項10項記載のCMOS。

## 【請求項 2 1】

記第一金属含有材の厚さが約150Å以上であり、前記第二金属含有材の厚さが約15Å以下であることを特徴とする請求項10項記載のCMOS。

## 【請求項 2 2】

請求項10項記載のCMOSを含んだ電子システム。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明はトランジスタ装置 (n-チャネル金属酸化膜半導体 (NMOS) 装置及びp-チャネル金属酸化膜半導体 (PMOS) 装置を含む)、及び相補性金属酸化膜半導体 (CMOS) 構造体に関する。本発明はさらにコンデンサ装置、トランジスタ装置及びCMOS構造体の各製造方法に関する。本発明は、より具体的な観点において、トランジスタ装置、コンデンサ構造体及び/またはCMOS装置を含む記憶装置に関する、また本発明は一部の観点において動的ランダムアクセスメモリ (DRAM) に関する。さらに本発明はより具体的な観点においてコンデンサ構造体、トランジスタ装置及び/またはCMOS装置を含む電子システムに関する。

## 【背景技術】

## 【0002】

10

20

30

40

50

例えばトランジスタ装置及びコンデンサ装置を含む種々半導体構造体において高kゲート誘電体を用いることには利点がある。高k誘電体は二酸化シリコンの誘電率よりも大きい誘電率をもつ誘電材料であると理解され、かかる誘電体としては例えば $Ta_2O_5$ 、 $Al_2O_3$ の他、多数の材料がある。

【0003】

これまで標準的CMOSフロー中へ高k誘電材料を組み入れるいくつかの試みが為されてきた。しかしながら、かかる試みにおいて、典型例としてCMOS構造体のようなシリコンゲート電極と連結して用いる場合にはいくつかの難点があることが見出された。例えば、高kゲート誘電体フィルム上へシリコン（例えば多結晶質シリコン等）を直接蒸着すると、典型例としてシリコンと誘電体との界面に反応層が生ずる。この反応層は、シリコン蒸着中、及び／またはその後におけるシリコンの高温焼純し中に生じ得る。この反応層によってシリコンと誘電材間にケイ酸塩等から成る界面膜が生成される。この界面膜は誘電積重ね構造体の有効誘電率を低下させ、それによって誘電体の計測能が制限される。さらに前記界面層は一部金属原子d状態及び帶電原子欠陥によって電荷トラップ性／固定電荷の発生源となり得る。この電荷トラップ性／固定電荷は後段ゲート焼純しによって影響を受け、トランジスタ装置の閾値電圧に制御不能なずれを生ずる可能性がある。さらに、前記閾値電圧はp型の導電性にドープされたシリコンから高ゲート誘電体中へのホウ素拡散によってずれる可能性もある。このような閾値電圧のずれは例えばメモリセル処理等の高温集合処理にとって特に重要でありかつ問題である。前記誘電体中へのホウ素拡散は高誘電率フィルムを用いて誘電体厚を増加させても問題となり得る。10 20

【発明の開示】

【発明が解決しようとする課題】

【0004】

上述した理由から、CMOSフロー中へ高k誘電材料を組み入れる新規な方法が開発されることが望ましい。加えて、CMOS装置以外の他の半導体構造体に高k誘電材料が用いられていることから、前記新規方法がCMOSフロー以外の他の半導体作製に適用可能であり、また特にコンデンサ装置作製に適用可能であることが望ましい。また、前記新規方法が高k誘電材料のみならず他の誘電材料にも適用可能であることが望ましい。

【課題を解決するための手段】

【0005】

本発明は一観点として回路装置の作製方法に関する。この方法では、基板上へ誘電層が形成され、この誘電層上へ金属含有材（例えば元素金属、金属珪化物、及び／または金属窒化物；金属としては例えばタンゲステン、ハフニウム、タンタル及びチタンの1または2以上）が直接形成される。前記金属含有材は約20Å以下の厚さに形成される。続いて、前記金属含有材上へ導電性にドープされたシリコンが直接形成される。前記回路装置としては例えばトランジスタ装置あるいはコンデンサ装置を挙げることができる。30

【0006】

本発明は別の観点としてトランジスタ装置の作製方法に関する。この方法では、基板上へゲート誘電体が直接形成される。前記誘電体上へ金属含有材が約20Å以下の厚さで形成される。前記金属含有材上へ導電性にドープされたシリコンが形成され、次いで前記金属含有材及び導電性にドープされたシリコンが積重ねゲートへとパターン化される。次いで前記積重ねゲートの側面にソース／ドレイン部分が設けられる。40

【0007】

本発明はさらに別の観点としてCMOSに関する。このCMOSは基板上に誘電層を有する。前記誘電層上にはPMOSゲート及びNMOSゲートがある。前記PMOS内及び前記誘電層上には20Å以上、より典型的には150Å以上の厚さをもつ第一金属含有材がある。前記NMOSゲート内及び前記誘電層上には約20Å以下の厚さをもつ第二金属含有材がある。前記PMOSゲート内及び前記第一金属含有材上にはn型にドープされたシリコンの第一層があり、前記NMOSゲート内及び前記第二金属含有材上にはn型にドープされたシリコンの第二層がある。50

## 【0008】

本発明はさらに別の観点としてコンデンサ構造体に関する。この構造体は導電性にドープされたシリコンから成る第一コンデンサ電極を備える。前記第一コンデンサ電極側近には誘電層があり、前記第一コンデンサ電極から前記誘電層を横切って第二コンデンサ電極が配されている。前記第一コンデンサ電極の前記導電性にドープされたシリコンと前記誘電層との間には金属含有材がある。前記金属含有材は20Å以下の厚さをもつ。

## 【0009】

本発明に従った種々構造体を、例えばDRAM装置等の記憶装置中へ組み入れることが可能である。また本発明に従った種々構造体を電子システムへ組み入れることも可能である。

10

## 【発明を実施するための最良の形態】

## 【0010】

以下に本発明の好ましい実施態様について添付図面を参照しながら説明する。

## 【0011】

本発明の一観点は、CMOS構造中のNMOS装置及びPMOS装置の双方において、誘電材と導電性にドープされたシリコンとの間へ金属含有材を組み込むことが利点となることである。さらに、前記PMOS装置中に用いられる前記金属含有材が前記NMOS装置中に用いられる前記金属含有材よりも実質的に厚く（PMOS装置中の金属含有材の厚さは20Å以上であり、100Å以上のこと多く、150Å以上であることもある）、他方前記NMOS装置中に用いられる前記金属含有材の厚さが薄ければ有利であることが見出されている。前記NMOS装置中に用いられる前記金属含有材の厚さは一般的には20Å以下であり、15Å以下であること多く、さらに10Å以下であることもある。他方、前記NMOS装置中に用いられる前記金属含有材は一般的には70原子層蒸着（ALD）サイクル以下、しばしば50ALDサイクル以下、さらには40ALDサイクル以下で作製され、本発明に適用される際に用いられるALDでは約0.3～約0.4Å/サイクルの蒸着速度が用いられる。しかしながら、本発明では約0.3～約0.4Å/サイクルとは異なる蒸着速度を用いるALDも実施可能であることが理解されるべきである。前記NMOS装置中に用いられる金属含有層は該層が薄いため不連続であってもよいが、猶本発明の特定の適用場面には適している。

20

## 【0012】

特定の態様において、前記金属含有材をチタン、ハフニウム、タンタルあるいはタンガステンから構成することができる。例示の金属含有材は、実質的にチタン元素、ハフニウム元素、タンタル元素及びタンガステン元素の1または2以上、及び／またはチタン、タンタル、ハフニウム及びタンガステンの窒化物及び珪酸塩の1または2以上から成るか、あるいは上記元素等の1または2以上から成る。いくつかの態様においては、前記金属含有材は、望ましくは窒化タンタル、窒化タンガステン、窒化ハフニウム及び窒化チタンの1または2以上を含み、あるいは実質的にそれらから成り、あるいはそれらから成るように構成される。

30

## 【0013】

特定用途において、誘電材とホウ素でドープされたポリシリコン間へ金属含有材を使用することによって、前記誘電材中のホウ素の外部拡散を軽減し、さらには防止することが可能である。さらに、前記金属含有材と前記p型シリコンの仕事関数の類似性によって前記PMOS装置の閾値電圧のずれが無視できる程度となるように特定の金属含有材を選択することも可能である（適する金属含有材の例示としては窒化チタン及び窒化タンガステンが挙げられる）。さらに、高k誘電体とポリシリコン材間へこのような金属含有材を用いることにより、前記誘電材へシリコンが直接接触することによって生ずるケイ酸塩等のケイ酸塩界面層の形成を軽減し、さらには防止することが可能である。

40

## 【0014】

p型にドープされたシリコンと同等の仕事関数をもつ金属含有材のPMOSゲートにおける使用は極めて適する一方、かかる金属含有材のNMOSゲートにおける使用は問題を

50

生ずる。例えば、窒化チタンは p 型ドープシリコンと同等の仕事関数をもつ金属含有材であるが、窒化チタンの厚い層によって NMOS 関値電圧が窒化チタンを欠くゲートに対しておよそ 1 V ずれる。この問題は、PMOS ゲートにおいて用いた金属含有材の仕事関数と異なる仕事関数をもつ金属含有材を NMOS ゲートにおいて用いることによって回避することができる。しかしながら、仕事関数の低い金属は、n 型シリコンにとって適する代替材となるが、高温において極めて不安定となる傾向がある。それゆえ、このような金属は半導体装置作製下において用いられる一般的な熱処理条件に対しては適当な材料とはなり得ない。

#### 【0015】

本発明の他の一観点として、NMOS 装置内への、n 型シリコンの仕事関数とは実質的に異なる仕事関数をもつ極めて薄い金属含有材バリヤ層（数個あるいはそれ以下の単層の厚さ）の使用がある。この金属含有材はシリコンと誘電材（酸化アルミニウム等の高 k 誘電体）との間に配置される。この金属含有材の厚さは、好ましくは前記 n 型シリコンと前記金属含有材との組合せ仕事関数に対して完全に優位になることが避けられる一方において、前記誘電材とシリコンとの反応を軽減し、さらには防止できる程度に薄く形成される。前記シリコンと誘電材との反応を軽減することにより、従来技術において問題であったシリコンと高 k 誘電材との界面における電荷トラップを防止することができ、前記 NMOS 装置の閾値電圧をさらに制御することが可能となる。

#### 【0016】

前記 NMOS 装置中に用いられる薄い金属含有材バリヤ層は、例えば原子層蒸着（ALD）及び／または化学蒸着（CVD）等のいずれか適する方法によって作製可能である。好ましくは、金属含有材の厚さ及び均質性を極めて良好に調節でき、また前記金属含有材と直接物理的に接触する表面下にある誘電体への損傷及びそれとの相互作用を軽減しさらには防止できる原子層蒸着が用いられる。

#### 【0017】

前記金属含有材は一般的には前記誘電材上へ直接形成される。ここで前記用語「上へ直接」とは、CVD を用いて形成される場合は金属含有材が誘電材と物理的に接触して形成され、あるいは ALD を用いて形成される場合は金属含有材の形成に用いられる層が誘電材と物理的に接触して蒸着されることを意味する。いくつかの態様においては、金属含有材本体の形成前に誘電材本体上へ界面層を形成して、金属含有材を前記界面層上へ形成することが可能である。前記界面層は例えば窒化シリコンあるいは窒化ハフニウム等の窒化物で構成することができる。前記窒化物は例えば表面特徴的誘電材のニトリデーションによって生成することができる。

#### 【0018】

前記金属含有材上へ形成されるシリコンは、例えば化学蒸着等のいずれか適する方法を用いて形成可能である。導電性を増加させるドーパントは前記蒸着中あるいは前記蒸着後の適当な植込みによって前記シリコン内に形成することができる。

#### 【0019】

前記金属含有材上へシリコンを直接形成することにより（ここで用語「上への直接」とは、化学蒸着処理の場合、シリコンが前記金属含有材と物理的に接触する状態で形成されることを意味する）、前記シリコン及び金属含有材が反応して、例えばチタン・窒素・シリコンから成る材料（Ti<sub>x</sub>N<sub>y</sub>、ここで x 及び y は 0 より大きい数字を表す）、ハフニウム・窒素・シリコンから成る材料、タンクステン・窒素・シリコンから成る材料、あるいはタンタル・窒素・シリコンから成る材料等の金属及びシリコンを含む複合材料を生成することができる。前記複合材料がチタン、窒素及びシリコンから成るのであれば、かかる材料には達化チタン及び窒化チタンの仕事関数の中間の仕事関数が備えられる。参考資料によれば、達化チタン及び窒化チタンの仕事関数はそれぞれ 3.67 ~ 4.25 電子ボルト及び 4.83 ~ 4.95 電子ボルトの範囲内である。

#### 【0020】

図 1 は、平坦帯域電圧 (V<sub>f b</sub>) に対する原子層蒸着された窒化チタンバリヤ厚の影響

を示す高周波キャパシタンス／電圧データを示すグラフである。100 Å 厚の窒化チタンパリヤは窒化チタン本体の仕事関数を示し、短絡トランジスタ試験においてPMOS閾値電圧に適合することが示されている。窒化チタンフィルムを15 ALDサイクルまで薄膜化することにより（約5 Å～約7 Å厚と推定される）、前記V<sub>f</sub>bは-300 mVまでずれる。さらに、前記窒化チタンパリヤをさらに薄膜化してV<sub>f</sub>bのずれを生ずることが可能である。図1中のデータは、原子層蒸着5サイクルの窒化チタンが窒化チタンの使用に関する酸化アルミニウムに対し認め得るほどの影響を与えないことを示している。実際、3サイクルから生成された窒化チタン及び5サイクルから生成された窒化チタンのキャパシタンス／電圧曲線は、窒化チタンパリヤの介在なしに酸化アルミニウム上へ直接形成されたポリシリコンゲートの同曲線と同一である。キャパシタンス／電圧曲線の広がりは界面状態における増加を示している。かかる増加は、蓄積キャパシタンスの減少とともに、窒化チタンの無存在下、あるいは5またはそれ以下のALDサイクルから生成された窒化チタン存在下（図示されたALDサイクルは窒化チタンの成長比約0.3 Å～約0.4 Åに相当する）における界面ケイ酸塩層の形成を支えている。  
10

## 【0021】

次に本発明の例示的態様について図2～7を参照しながら説明する。まず図2には第一断片部分12及び第二断片部分14を含んで成る半導体構造体が図示されている。断片部分12及び14はそれぞれNMOs領域及びPMOS領域に相当し、両者が一体化することによりCMOS構造が得られる。  
20

## 【0022】

構造体10は、NMOs領域12においてp型にドープされ及びPMOS領域14においてn型にドープされた基板16を含んで構成されている。基板16は例え monoクリスタルシリコンから作製することができる。以下に述べる特許請求の範囲の解釈を補完するため、用語「半導電性基板」及び「半導体基板」は、以下に限定されないが、半導電性ウエハー（単体または他材料を上部に含む組合せ体）及び半導電性材料層（単体または他材料を含む組合せ層）等の半導電性材料本体を含めて半導電性材料を含んで成る構造体を意味すると定義される。用語「基板」は、以下に限定されないが、上記半導電性基板を含め、なんらかの支持構造体を指している。  
30

## 【0023】

基板16上には誘電材18が広がっている。誘電材18は分離した1対の層、すなわち基板20上面へ直接形成された下部薄層20とこの薄層20上へ形成された上部の厚い層22から成る。薄層20は例え mono酸化シリコンから成り、特定用途においては、 monoクリスタル基板16上面上へ形成される自然発生酸化物で対応させることも可能である。誘電材22はいずれか道する誘電材で対応可能であり、例え高k誘電材が用いられる。前記厚い層22は、例え1または2以上の酸化物、及び／または1または2以上のケイ酸塩から構成することができる。特定用途においては、前記厚い層22はタンタル、ハフニウム及びアルミニウムの1または2以上から成る。前記層は、例えタンタル酸化物(Ta<sub>2</sub>O<sub>5</sub>等)、アルミニウム酸化物(Al<sub>2</sub>O<sub>3</sub>等)、ハフニウム酸化物及び／またはハフニウムケイ酸塩から構成することができ、特定用においては異種材料（例えA<sub>1</sub>O<sub>3</sub>／HF<sub>2</sub>O<sub>2</sub>等）から成る多層に構成することができる。前記多層は例えナノラミネットであってもよい。前記誘電材18は分離された2層として構成されているが、誘電材は単層、あるいは2以上の分離された層にも構成できると理解されなければならない。特定の観点において、二酸化シリコン層20を省略して、誘電層18全体に高k誘電材を用いることが可能である。他の態様として、誘電材全体を例え二酸化シリコン等の高k誘電材以外の材料で構成することも可能である。  
40

## 【0024】

誘電材22上には、金属含有材層24が、図示された実施態様では誘電材22に物理的に接した状態で、あるいは言い方をえれば誘電材22上へ直接形成される。後続して形成される金属含有層と区別するため、前記金属含有層24を厚い金属含有層あるいは第一金属含有層と呼ぶことができる。前記金属含有層24は例え化学蒸着等の適当な方法に  
50

よって形成可能である。前記層24に用いられる金属としては例えはチタン、タンタル、タングステン、ハフニウム等を挙げることができる。特定の態様においては、前記層24は、ハフニウム元素、チタン元素、タンタル元素及びタングステン元素を含み、あるいは実質的にそれら元素から成り、あるいはそれら元素から成るか、あるいはチタン、タンタル、タングステン及びハフニウムの窒化物及び/またはケイ酸塩を含み、あるいは実質的にそれらから成り、あるいはそれらから成るように構成される。前記層24は20Å以上10の厚さに形成されるが、典型例としては100Å以上の厚さ、例えは150Å以上の厚さに形成される。

#### 【0025】

図3では、層24材料がPMOS領域14上にはあるがNMOs領域12上にはないよう10に層24がパターン化されている。この層24のパターン化では該層材料がブロック状に形成されている。このようなパターン化は、例えはフォトリトグラフィー処理によって層24上へパターン化されたフォトレジストマスク(図示せず)を形成し、層24の適当なエッチングによってパターンを前記マスクから前記層へ移し、次いで前記フォトレジストマスクを取り除くことによって達成することができる。但し、図2及び3に示した手順は、PMOS領域14上にはあるがNMOs領域12上にはない金属含有材ブロック(図3には層24の一部が残存している)の形成に用いられるいくつかの方法の一例にすぎない。

#### 【0026】

図4に示すように、NMOs領域12及びPMOS領域14上へ積重ね層30、32、2034及び36が形成される。層30は金属含有材から成り、約20Å以下の厚さに形成される。層30は、前記第一金属含有層24と区別するため第二金属含有層と呼ぶことができる。本発明の図示された態様においては、層30はNMOs領域12の全域で誘電材22と物理的に接して形成され、またPMOS領域14の全域で前記第一金属含有層24と物理的に接して形成される。金属含有層30は例えは原子層蒸着によって約15Å以下の厚さに、また特定の態様においては約10Å以下の厚さに形成可能であり、あるいは約50以下、あるいは30以下のALDサイクルで形成可能である。第二金属含有層30の組成は前記第一金属含有層24の組成と同一であっても異なっていてもよい。金属含有層30を主として窒化チタンで構成することも可能である(金属含有層30の50重量%以上30が窒化チタンであってもよい)。あるいは代替例として、金属含有層30を主として窒化タンタル、窒化タングステン、あるいは窒化ハフニウムで構成することも可能である。特定の観点から、前記層30を、チタン元素、タンタル元素、タングステン元素及びハフニウム元素の1または2以上を含み、あるいは実質的にそれらから成り、あるいはそれらから成るように構成でき、またチタン、タンタル、タングステン及びハフニウムの窒化物及び/またはケイ酸塩を含み、あるいは実質的にそれらから成り、あるいはそれらから成るように構成することも可能である。

#### 【0027】

前記層32は、導電性にドープされたシリコンを含み、あるいは実質的に該シリコンから成り、あるいは該シリコンから成るように構成することができる(例えは、導電性にドープされた非結晶シリコン又は導電性にドープされた多結晶シリコン)。本発明の図示された態様では、シリコン含有層32は金属含有層30と物理的に接している。また、本発明の図示された態様では、同一の導電性ドープシリコン層がNMOs及びPMOS両領域を横切って延びている。それゆえ、前記導電性ドープ層32の大部分がn型にドープされているならば、かかる材料がNMOs及びPMOS両領域において利用される。本発明には、NOMS領域とは異なる導電性ドープ材料がPMOS両域に用いられ、あるいは導電性ドープシリコン材料がNMOs領域とPMOS領域のいずれか一方に用いられていない他の態様(図示せず)も含まれることが理解されるべきである。しかしながら、本発明の図示された態様は、同一の導電性ドープシリコン層が基板のNMOs及びPMOS両領域に亘って形成されるならば、加工が簡略される点で好ましいものである。

#### 【0028】

前記層34は例えば金属及び/または金属合金から成り、特定の態様においてはタンガステンから成る。

【0029】

前記層36は例えば窒化シリコン等の電気絶縁性キャップで構成することができる。

【0030】

図5に示すように、前記層30、32、34及び36はパターン化され、NMOS領域12及びPMOS領域14のそれぞれに積重ねゲート40及び42が形成される。これらパターン化された積重ね材40及び42は、前述した積重ね体と区別するためそれぞれ第一及び第二材と呼ぶことができる。例えば、パターン化されたシリコン層32は、積重ね体40中のものは第一シリコン材、また積重ね体42中のものは第二シリコン材と呼ぶことができる。<sup>10</sup>

【0031】

積重ね体40及び42間の顕著な相違は、積重ねゲート40が導電性ドープシリコン層32と誘電材22との間に薄い金属含有材層30のみ備える一方、積重ねゲート42が前記導電性ドープシリコン層32と誘電材22との間に前記薄い金属含有材層30に加えて厚い金属含有材層24を備えることである。

【0032】

好ましくは、積重ねゲート42中の導電性ドープシリコン層32と誘電材22との間の前記金属含有材は、積重ねゲート42の仕事関数が前記金属含有材のみの仕事関数と等しくなるように十分厚く形成される。対照的に、積重ねゲート40中の前記金属含有材は好ましくは、積重ね体40の仕事関数が前記金属含有材のみの仕事関数と等しくならない代わりに前記導電性ドープシリコン層32によって調節されるように薄く形成される。しかしながら、前記金属含有材層30は、好ましくは積重ね体40の仕事関数が前記金属含有材の仕事関数と等しくならない代わりに、前記金属含有材のみの仕事関数と前記導電性ドープシリコンの仕事関数との間の範囲内に含まれるように十分厚く形成される。特定の観点において、NMOS領域の積重ね体40中の導電性ドープシリコン層32及び金属含有材層30の仕事関数は、単一形態での導電性ドープシリコン及び金属含有材の仕事関数に對してずれ、また単一形態での金属含有材の仕事関数から少なくとも50mVずれる。<sup>20</sup>

【0033】

NMOS領域の積重ねゲート40の仕事関数に導電性ドープシリコン層32が寄与する<sup>30</sup>適用においては、前記材32のドーパント型の大部分は一般的にn型である。

【0034】

PMOS領域の積重ねゲート42の仕事関数は事実上金属含有材24の仕事関数であるので、シリコン層32の導電性型ドープは前記積重ねゲートの仕事関数とは無関係である。従って、PMOS領域の積重ねゲート42の前記層32はn型シリコンあるいはp型シリコンで構成することができる。しかしながら、積重ねゲート42のシリコンとしては好ましくはn型シリコンが用いられる。次いで図4に示した処理と同様に、積重ね体42のシリコンが積重ね体40のシリコンとともに单一工程で形成される。

【0035】

前記層30、32、34及び36からの積重ねゲート40の形成は、これら層の材料の<sup>40</sup>NMOS積重ねゲート中への組込みであると考えることができる。同様に、前記層24、30、32、34及び36からの積重ねゲート42の形成は、これら層の材料のPMOS積重ねゲートへの組込みであると考えることができる。

【0036】

本発明の特定の態様において、積重ねゲート40及び42下方の領域はそれぞれNMOSゲート領域及びPMOSゲート領域と呼ぶことができる。また、積重ねゲート40及び42の下の誘電材20及び22は、本発明の特定の態様においてゲート誘電層と呼ぶことができる。

【0037】

金属含有層30と接觸する層32のシリコンは、シリコンと金属含有材との界面において<sup>50</sup>

て本発明の種々態様における金属含有材と反応して、金属、シリコン、及びおそらくは窒素を含む組成物を生成する。このような組成物は金属珪化物及び金属含有材の仕事関数の中間に位置する仕事関数をもち、NMOSゲート40の場合、これら組成物の仕事関数は最終的に前記積重ねゲートの全仕事関数に影響を与える可能性がある。

【0038】

図6に示すように、積重ねゲート40及び42それぞれの側壁に沿って側壁スペーサ46及び48が形成される。スペーサ46及び48は例えば塗化シリコン及び二酸化シリコンの一方または双方を含めた適当な絶縁性材料のいずれかから成り、例えば適当な材料の蒸着及びそれに続く該材料の異方性エッチングによって作製することができる。

【0039】

積重ねゲート40に最も近い基板16内にn型ソース／ドレイン領域50が形成されてNMOSトランジスタ装置の作製が完成し、積重ねゲート42に最も近い基板16内にp型ソース／ドレイン領域52が形成されてPMOSトランジスタ装置の作製が完成される。これらソース／ドレイン領域50及び52は、例えば側壁スペーサ46及び48の形成前及び／または形成後に行われる植込み等のいずれか適当な方法を用いて形成することができる。

【0040】

図2～6に示した加工処理はNMOSトランジスタ及びPMOSトランジスタ（すなわちCMOS構造の作製）に言及して説明したが、本発明の種々態様が單一トランジスタの作製にも利用できることが理解されるべきである。例えば、図6に示したタイプのNMOSトランジスタは種々回路装置中へそれだけを組み入れるようにも作製可能である。

【0041】

前記NMOSトランジスタ装置の作製に関して上述した加工処理は、たとえばコンデンサ装置等の他の装置の作製においても利用可能である。かかる他装置作製への利用については、DRAMユニットセル102を備える構造体100を示した図7を参照して説明する。このDRAMユニットセルには、コンデンサ構造体106及びピット線130へ電気的に接続されたソース／ドレイン領域107を有するトランジスタ構造体104が含まれている。

【0042】

トランジスタ構造体104はNMOS構造体として示されている。従ってソース／ドレイン領域107はn型ドープ領域である。前記ソース／ドレイン領域はp型基板108中へ延びている。基板108は例えばモノクリスタルシリコンを含めたいずれか適当な構造体から構成できる。トランジスタ装置104にはさらにゲート誘電体112によって基板108から分離された導電性ゲート110が含まれる。ゲート誘電体112は例えば二酸化シリコン及び／または高k誘電材を含めたいずれか適当な材料から作製することができる。導電性ゲート110はいずれか適当な材料または複数材料を組み合わせて作製することができる。特定の態様において、図7に示したNMOSトランジスタ装置は図6に示したNMOS装置に対応する。従ってゲート110には層30、32及び34が含まれている。他の態様において、ゲート110を従来構造体で構成することも可能である。

【0043】

導電性ゲート材110上には絶縁性キャップ114が形成され、前記導電性ゲート材の側壁に沿って絶縁性側壁スペーサ116が形成される。キャップ114及びスペーサ116は例えば二酸化シリコン及び塗化シリコンの一方または双方を含めたいずれか適当な材料から作製可能である。

【0044】

トランジスタ装置104の上方及び周囲には電気絶縁性材118が広がっている。この絶縁材118は例えば硼リン珪酸ガラス（BPSG）等のいずれか適当な材料の1または2以上から作製することができる。

【0045】

前記絶縁材118を貫通し前記ソース／ドレイン領域107の一方にまで至る開口部が

10

30

40

50

広がっている。この開口部内には導電性ペデスタイル 120 があり、このペデスタイルは前記ソース／ドレイン領域と電気的に接続されている。前記導電性ペデスタイルは例えば導電性にドープされたシリコン、金属及び／または金属化合物等のいずれか適当な導電性材料から作製することができる。

【0046】

前記絶縁材 118 中の前記開口部内にはコンデンサ構造体 106 が伸び、該コンデンサ構造体は導電性ペデスタイル 120 と電気的に接続されている。コンデンサ構造体 106 には蓄積ノード 122、誘電材 124 及び金属含有材 126 が含まれている。

【0047】

前記蓄積ノード 122 は例えば導電性にドープされたでこぼこのあるシリコン（例えば 10 半球形粒状シリコン等）のようないずれか適当な導電性材料から作製することができる。

【0048】

前記誘電材 124 は例えば高  $k$  誘電材（例えば図 2 の誘電領域 18 に関して前述した高  $k$  材料等）及び／または二酸化シリコン、及び／または二酸化シリコンと塗化シリコンの混合物等のいずれか適当な材料から作製することができる。特定の態様において、前記誘電材 124 を酸化アルミニウムと、蓄積ノード 122 の導電性ドープシリコンと酸化アルミニウムとの間に薄層形状の二酸化シリコン（図示せず）から作製することができる。

【0049】

前記金属含有材 126 は前記層 30 の金属含有材に関して前述した組成と同一の組成とし、例えば A L D または C V D によって形成可能である。

【0050】

コンデンサ電極 128 は例えば導電性ドープシリコンで作製でき、p 型あるいは n 型のいずれにもドープ可能である。前記薄膜状の金属含有材 126 をコンデンサ板 128 の導電性ドープシリコンと組合せて用いることの利点は、前記材 126 及び 128 を含む積重ね体の仕事関数を調節及び変調できることである。

【0051】

金属含有材 126 は誘電材 124 と第二コンデンサ電極 128 との間に図示されているが、かかる構成に代えあるいは加えて、金属含有材を前記誘電材と前記コンデンサ蓄積ノードとの間に形成してもよい。

30

【0052】

本発明の方法論に従って形成されたでこぼこ状の半導体材料を含む回路装置は例えばコンピュータシステム及び他の電子システム等の多数の組立装置に利用可能である。

【0053】

図 8 は、本発明の一観点に従ったコンピュータシステム 400 の例示的であって限定でない実施態様を全体的に示した図である。このコンピュータシステム 400 にはモニター 401 または他の出力装置、キーボード 402 または他の通信入力装置、及びマザーボード 404 が含まれる。マザーボード 404 にはマイクロプロセッサ 406 または他のデータ処理ユニット、及び少なくとも 1 台の記憶装置 408 が搭載されている。記憶装置 408 は、例えばトランジスタ装置、CMOS 構造体、コンデンサ構造体及び DRAM ユニットセル等の本発明の種々態様から構成することができる。記憶装置 408 をメモリセルアレイから構成し、このアレイを該アレイ中の個々のメモリセルへアクセスするためのアドレス指定回路構成と連結させることができる。さらに、前記メモリセルアレイをメモリセルからデータを読み出す読出回路へ連結させることができる。前記アドレス指定及び読出回路構成を用いて記憶装置 408 とプロセッサ 406 間で情報の伝達を行うことが可能である。図 9 にはこのような構成がマザーボード 404 のブロック図中に示されている。このブロック図においてはアドレス指定回路構成は符号 410 で示され、読出回路構成は符号 412 で示されている。

【0054】

本発明の特定の態様においては、記憶装置 408 はメモリモジュールに相当する。例え 50

ば、本発明の教示を利用した実施において、シングルインラインメモリモジュール (S I MM) 及びデュアルインラインメモリモジュール (D I MM) を用いることができる。記憶装置のメモリセルから読み出し及びメモリセルへ書き込む種々方法を提供する多様な設計のいずれにもこのような記憶装置を組み入れることが可能である。その方法の一つとしてページモード操作がある。D R A M中におけるページモード操作は、メモリセルアレイの行をアドレス指定して該アレイの異なる列へランダムにアクセスする方法として定義される。その列へのアクセス中に、行及び列の共通部分に記憶されたデータを読み出し及び出力することが可能である。

#### 【0055】

上記に代わるタイプの装置として、アドレス指定された列が閉じられた後に出力として有効なメモリアレイアドレスへのデータ記憶を可能とする拡大データ出力 (E D O) メモリがある。このメモリは、メモリ出力データがメモリバス上において有効である時間を減すことなく信号へのアクセスを短縮することによって通信速度をある程度速めることができる。他の代替可能なタイプの装置として、S D R A M、D D R S D R A M、S L D R A M、V R A M及びダイレクトR D R A Mがある他、S R A Mあるいはフラッシュメモリ等の他の装置もある。

#### 【0056】

図10は、本発明に係る例示的電子システム700の種々実施態様の高レベル構成を簡略化して示した図である。前記システム700は、例えばコンピュータシステム、プロセス制御システム、あるいはプロセッサ及び付帯メモリを用いるいすれか他のシステムであってもよい。電子システム700には、プロセッサあるいは算術論理演算器 (A L U) 702、制御装置704、メモリ装置706、及び入力/出力 (I/O) 装置708が備えられる。電子システム700には通常、データに対してプロセッサ702によって行われる操作及びプロセッサ702、メモリ装置706及びI/O装置708間の相互作用を規定する命令処理が備えられている。前記制御装置704は、メモリ装置706から指示を引き出させ及び実行させる一連の操作を持続的に循環させることによりプロセッサ702、メモリ装置706及びI/O装置708の操作を調整する。種々実施態様において、前記メモリ装置706には、以下に限定されないが、ランダムアクセスメモリ (R A M) 装置、読み出し専用メモリ (R O M)、及びフロッピィディスクドライブ及びコンパクトディスクC D - R O Mドライブ等の周辺機器が含まれる。当業者は、本願開示を読み理解したならば、図示された電子構成部分のいすれもが本発明の種々態様に従った構成部分を含むように作製可能であることを理解するであろう。

#### 【0057】

図11は例示的電子システム800の種々実施態様における高レベル構成を簡略的に示したブロック図である。このシステム800は、メモリセル804のアレイを備えるメモリ装置802、アドレスデコーダ806、行アクセス回路構成808、列アクセス回路構成810、操作制御のための読み出し/書き込み制御回路構成812、及び入力/出力回路構成814から構成される。前記メモリ装置802には、電力回路構成816及び、メモリセルが低閾値処理状態にあるか、あるいは高閾値非処理状態にあるかを検知する電流センサ等のセンサ820がさらに含まれている。図示された電力回路構成816には、電力供給回路構成880、基準電圧を与える回路構成882、第一ワード線へパルスを与える回路構成884、第二ワード線へパルスを与える回路構成886、及びビット線へパルスを与える回路構成888が含まれる。前記システム800にはプロセッサ822あるいはメモリアクセスのためのメモリ制御装置も含まれている。

#### 【0058】

前記メモリ装置802はプロセッサ822からの制御信号824を配線あるいは金属化ラインを通して受信する。メモリ装置802はI/Oラインを介してアクセスされるデータを記憶するために用いられる。回路構成及び制御信号をさらに追加すること、及び本発明の明瞭な理解のためメモリ装置802が単純化されていることは当業者によって認識されるところである。プロセッサ822あるいはメモリ装置802の少なくとも一方へ本開

19

20

30

39

40

50

示において前述したタイプのDRAMセル、CMOS、コンデンサあるいはトランジスタを含ませることも可能である。

【0059】

本願開示において図示された種々システムは、本発明に係る回路構成及び構造体の適用について全体的な理解を得ることを意図したものであり、本発明の態様に従ったメモリセルを用いる電子システムのすべての構成要素及び特徴を完全に記載することを意図したものではない。プロセッサとメモリ装置間の通信時間を減ずるため、種々電子システムを单一パッケージ処理ユニットに、あるいはさらに単一の半導体チップ上に作製できることは当業者の理解するところである。

【0060】

メモリセルの適用用途としては、メモリモジュール、装置ドライバ、電力モジュール、通信モデム、プロセッサモジュール、及びアプリケーション専用モジュールがあり、さらに多層マルチチップモジュールも含まれる。またかかる回路構成は、時計、テレビ、携帯電話、パーソナルコンピュータ、自動車、産業制御システム、航空機、その他の種々電子システムの下位構成部分ともなり得るものである。

【図面の簡単な説明】

【0061】

【図1】酸化アルミニウムと多結晶質シリコンとの間に原子層蒸着(ALD)された塗化チタンを含む種々構造体についての電圧とキャパシタンス(単位:ミリピコファラード)の相関性を示すグラフである。前記塗化チタンの厚さに関しては、チタン層が存在しない場合、塗化チタン層の形成に特定数のALDサイクルが用いられている場合、及び100Å厚の塗化チタンが存在する場合に分けてグラフ中に挿入記載されている。各ALDサイクルは約0.3Åから約0.4Åまでの塗化チタンの成長速度に対応している。

20

【図2】予備加工段階にある半導体ウェハー構造体の断片の対を示した略断片図である。

【図3】図2に示した段階に後続する加工段階にある図2のウェハー断片を示した図である。

【図4】図3に示した段階に後続する加工段階にある図2のウェハー断片を示した図である。

【図5】図4に示した段階に後続する加工段階にある図2のウェハー断片を示した図である。

30

【図6】図5に示した段階に後続する加工段階にある図2のウェハー断片を示した図である。

【図7】本発明の別の実施態様に従った半導体ウェハー断片をDRAMセルとともに示した略断面図である。

【図8】本発明の適用例を示すコンピュータの略図である。

【図9】図8に示したコンピュータのマザーボードの特定の特徴を示すブロック図である。

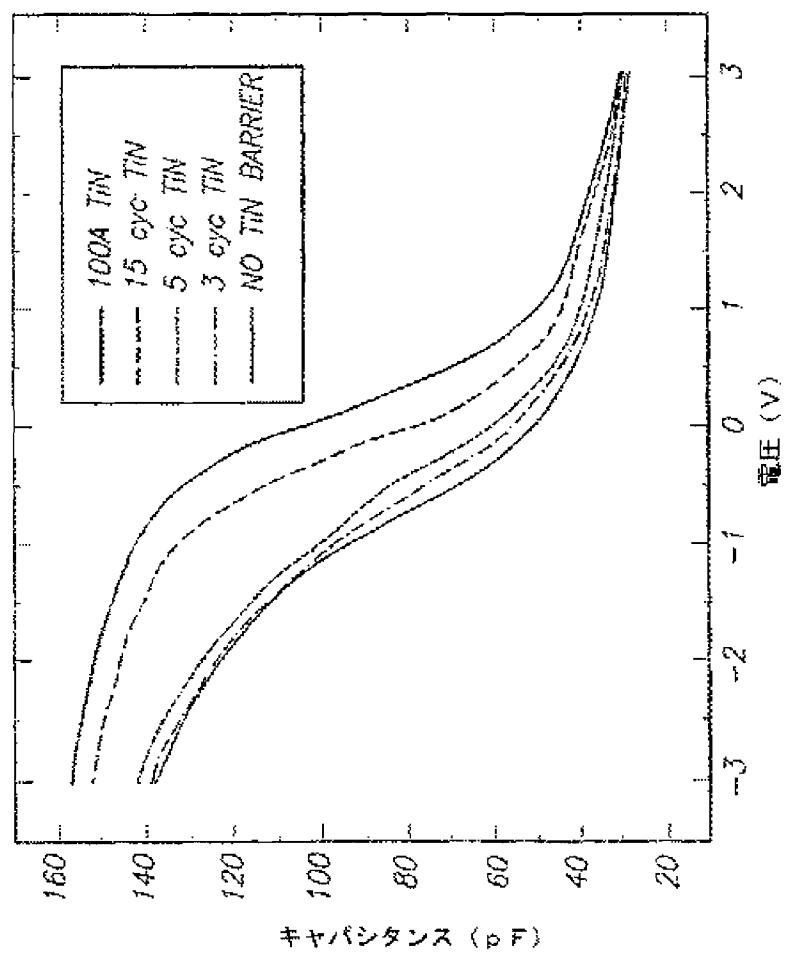
【図10】本発明の例示的観点に従った電子システムの高レベルブロック図である。

【図11】本発明の一観点に従った例示的電子システムを簡略化したブロック図である。

(14)

JP 2006-515471 A 2006.5.25

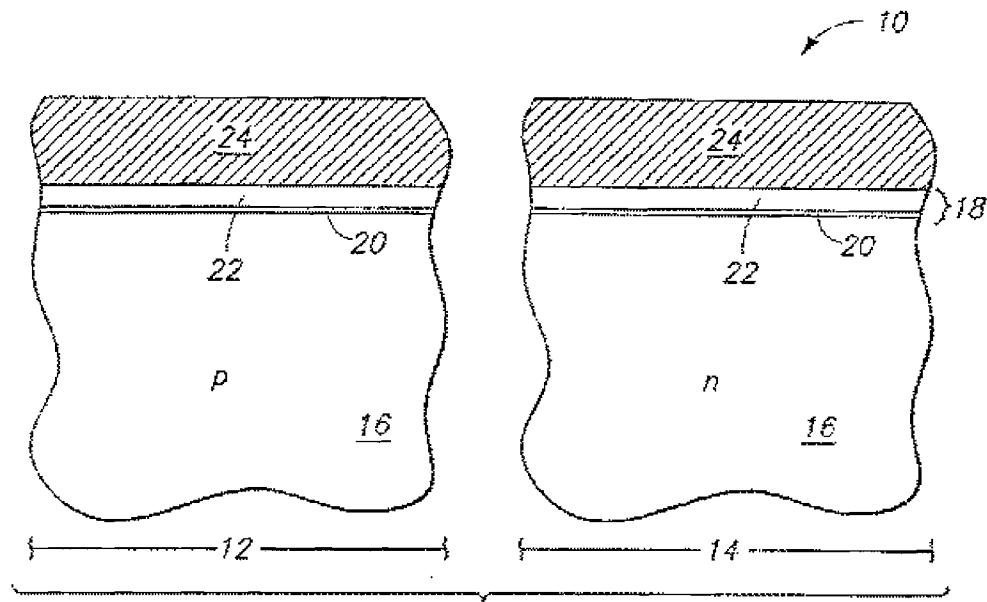
【図 1】



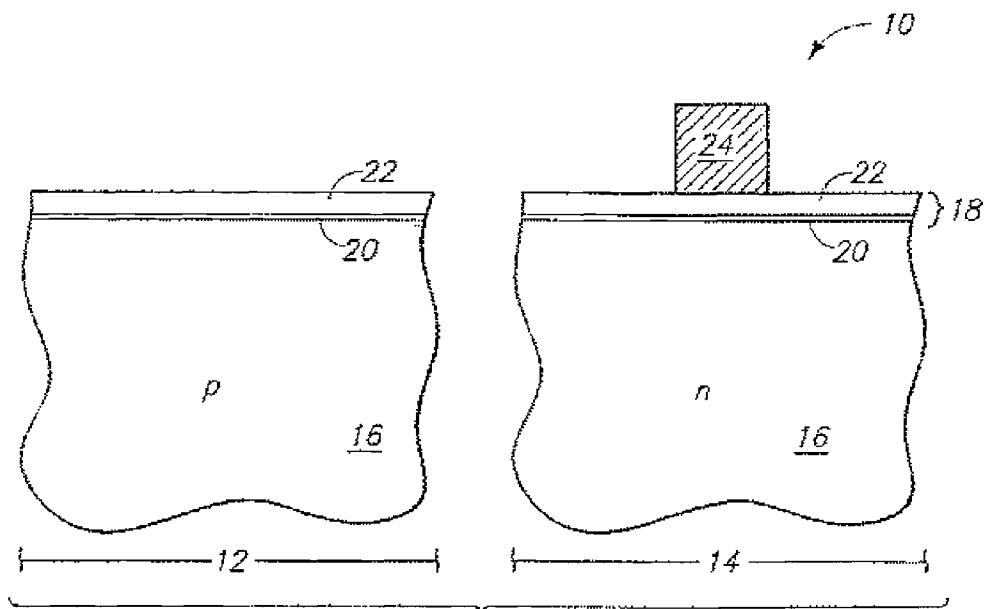
(15)

JP 2006-515471 A 2006.5.25

【図 2】



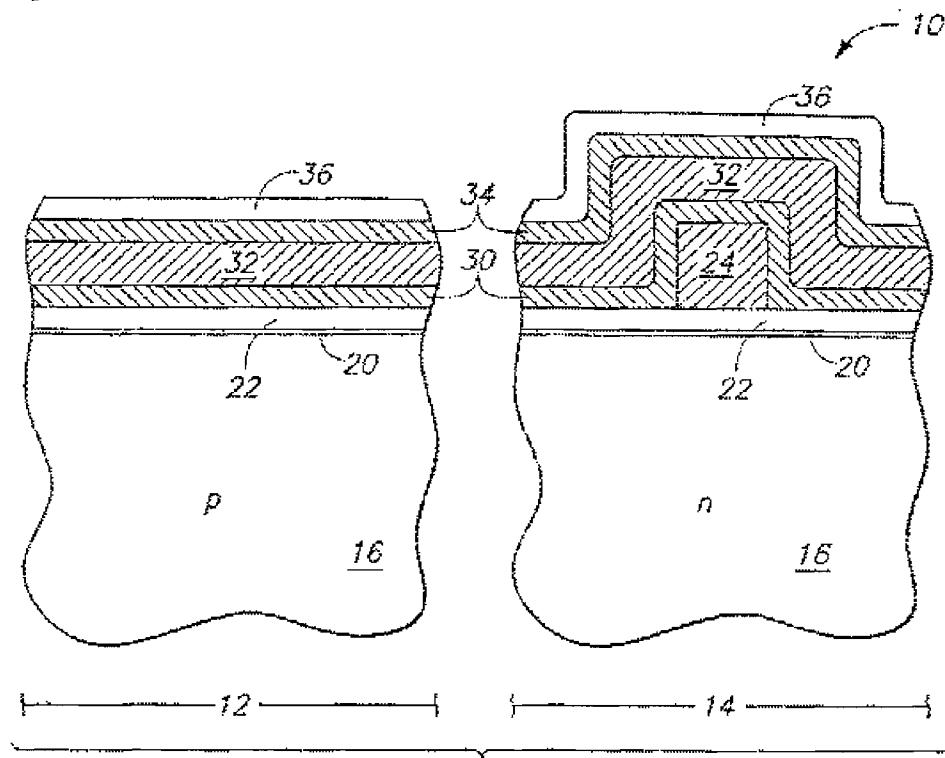
【図 3】



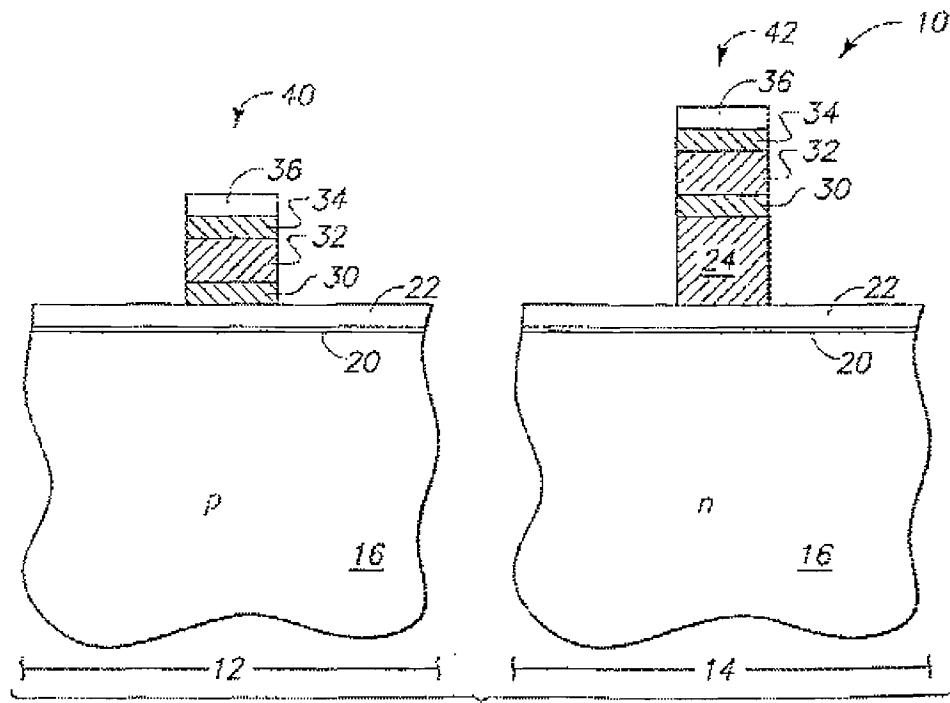
(16)

JP 2006-515471 A 2006.5.25

[図 4]



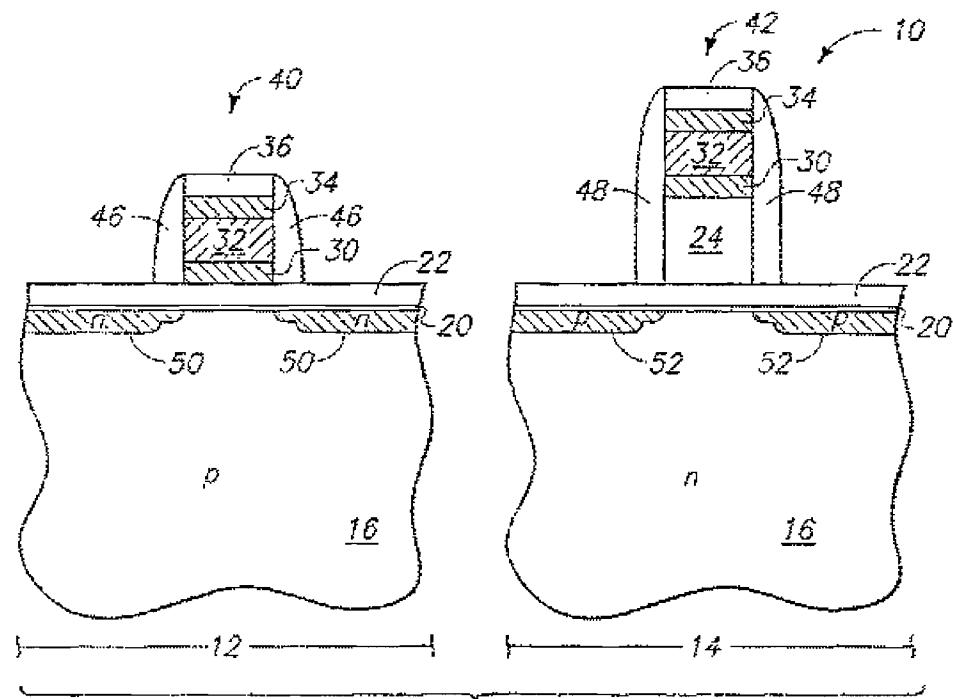
[図 5]



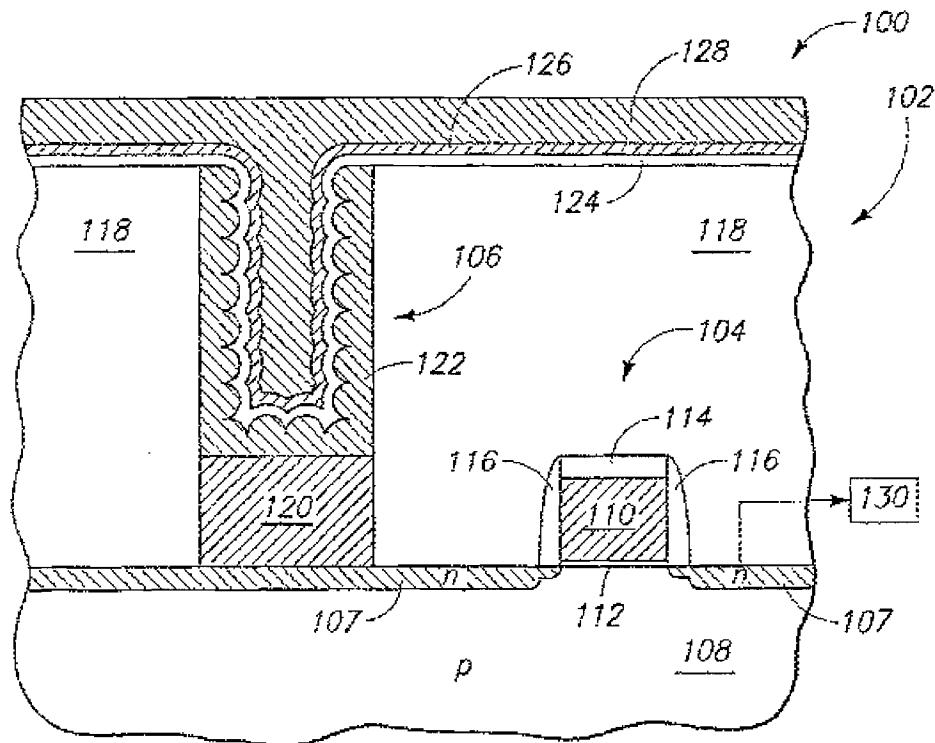
(17)

JP 2006-515471 A 2006.5.25

[図 6]



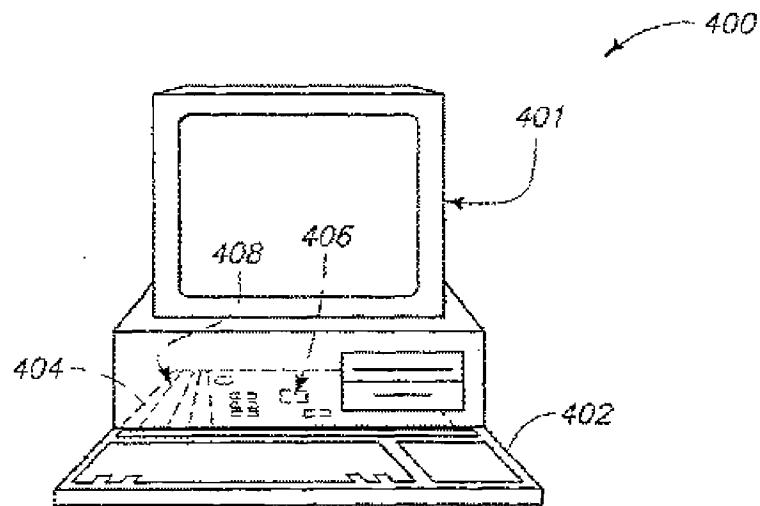
[図 7]



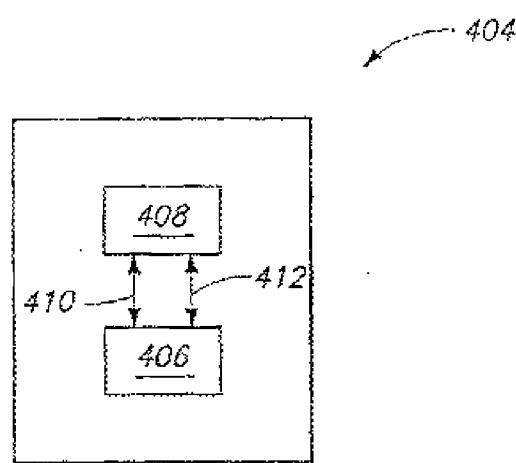
(18)

JP 2006-515471 A 2006.5.25

【図 8】



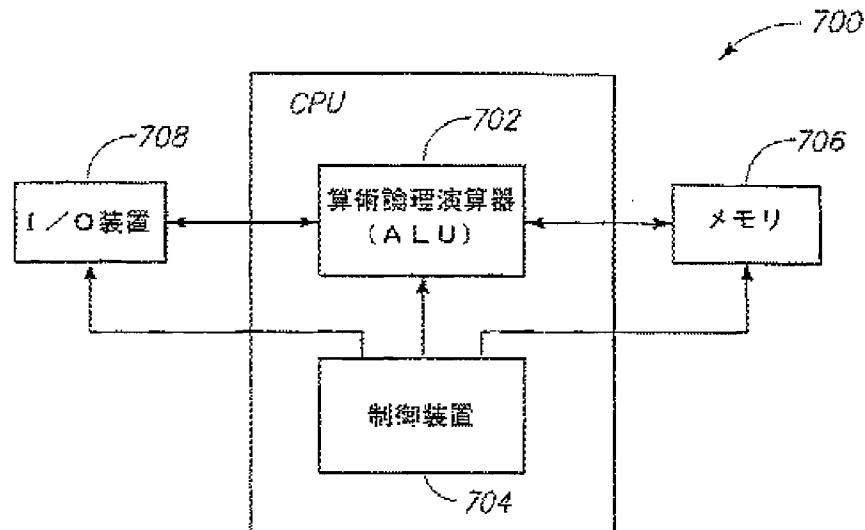
【図 9】



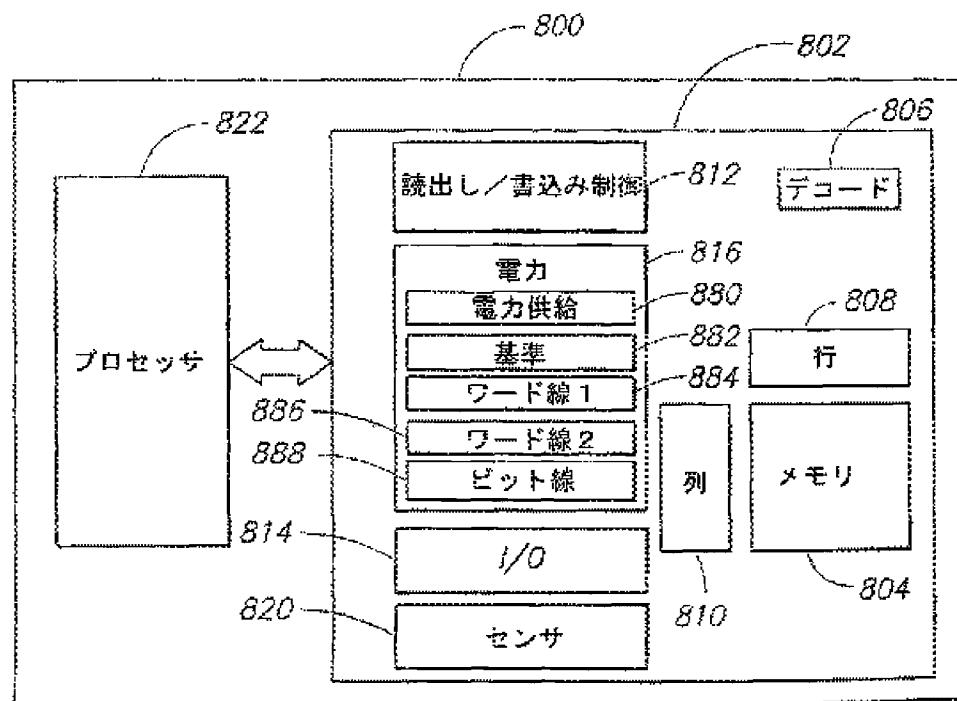
(19)

JP 2006-515471 A 2006.5.25

【図10】



【図11】



【手続補正書】

【提出日】 平成17年9月6日 (2005.9.6)

## 【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

## 【請求項 1】

PMOS装置及びNMOS装置の作製方法であって、該方法は、

PMOSゲート領域及びNMOSゲート領域を含む基板を供する工程と、

前記基板の前記PMOS及びNMOSゲート領域上へゲート誘電層を形成する工程と、

前記PMOSゲート領域上に存在するが前記NMOSゲート領域上には存在しないよう  
に、厚さが20Å以上の厚い金属含有材を形成する工程と、

前記PMOS及びNMOSゲート領域上に薄い金属含有層を形成する工程であって、前  
記薄い金属含有層は厚さが20Å以下に形成され、前記PMOSゲート領域上の前記厚い  
金属含有材上へ形成される工程と、

前記薄い金属含有材上へ前記PMOS及びNMOSゲート領域を横切って拡がる導電性  
にドープされたシリコン層を形成する工程と、

前記PMOSゲート領域上のPMOSトランジスタ積重ねゲート中へ前記厚い金属含有  
材、前記薄い金属含有材及び前記導電性にドープされたシリコンを組み入れる工程と、

前記NMOSゲート領域上のNMOSトランジスタ積重ねゲート中へ前記薄い金属含有  
材及び前記導電性にドープされたシリコンを組み入れる工程と、

から構成されるPMOS装置及びNMOS装置の作製方法。

## 【請求項 2】

前記導電性にドープされたシリコンの大部分がn型にドープされていることを特徴とする  
請求項 1 項記載の方法。

## 【請求項 3】

前記ゲート誘電層が二酸化シリコン上の酸化アルミニウムから成ることを特徴とする請  
求項 1 項記載の方法。

## 【請求項 4】

基板上の誘電層と、

前記誘電層上のPMOSゲート及びNMOSゲートと、

前記PMOSゲート内かつ前記誘電層上の20Å以上の厚さをもつ第一金属含有材と、  
前記NMOSゲート内かつ前記誘電層上の約20Å以下の厚さをもつ第二金属含有材と、

前記PMOSゲート内かつ前記第一金属含有材上のn型にドープされたシリコンから成  
る第一層と、

前記NMOSゲート内かつ前記第二金属含有材上のn型にドープされたシリコンの第二  
層と、

から構成されることを特徴とするCMOS。

## 【請求項 5】

前記誘電層にタンタル、ハフニウム、及びアルミニウムの1または2以上が含まれるこ  
とを特徴とする請求項 4 項記載のCMOS。

## 【請求項 6】

記第一金属含有材の厚さが約150Å以上であり、前記第二金属含有材の厚さが約15  
Å以下であることを特徴とする請求項 4 項記載のCMOS。

## 【請求項 7】

請求項 4 項記載のCMOSを含んだ電子システム。

(21)

JP 2006-515471 A 2006.5.25

## 【国際調査報告】

INTERNATIONAL SEARCH REPORT																																																									
<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 10%;">International Application No.</td> <td colspan="2"></td> </tr> <tr> <td colspan="3">PCT/US2004/006534</td> </tr> <tr> <td colspan="3"> <b>A. CLASSIFICATION OF SUBJECT MATTER</b>            IPC 7 H01L21/28 H01L29/49         </td> </tr> <tr> <td colspan="3">           According to International Patent Classification (IPC) or to both national classification and IPC         </td> </tr> <tr> <td colspan="3"> <b>B. FIELDS SEARCHED</b>            Main classification(s) searched (classification system followed by classification symbols)            IPC 7 H01L         </td> </tr> <tr> <td colspan="3">           Documentations examined other than main classification to the extent that such documents are included in the fields searched         </td> </tr> <tr> <td colspan="3">           Electronic data bases consulted during the International search (name of data base and, where practical, search terms used)            EPO-Internal, PAJ         </td> </tr> <tr> <td colspan="3"> <b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b> </td> </tr> <tr> <td style="width: 10%;">Category *</td> <td style="width: 70%;">Citation of document, with indication, where appropriate, of the relevant passages</td> <td style="width: 20%;">Relevant to claim No.</td> </tr> <tr> <td>X</td> <td>           PATENT ABSTRACTS OF JAPAN            vol. 2003, no. 05,            12 May 2003 (2003-05-12)            -&amp; JP 2003 023162 A (SONY CORP.),            26 January 2003 (2003-01-24)         </td> <td>           1-8,            11-21,            24-34,            37-39,            58-64,            66-73,            76-81            9,10,22,            23,35,            36,            46-57,            65,74,            75,82-94         </td> </tr> <tr> <td>Y</td> <td>abstract; figures 1,2</td> <td></td> </tr> <tr> <td>Y</td> <td>           US 2001/024387 A1 (HAUKKA SURU P ET AL)            27 September 2001 (2001-09-27)            paragraph '01231 - paragraph '01331;            Figure 2         </td> <td>           40-57,            82-94         </td> </tr> <tr> <td></td> <td></td> <td style="text-align: center;">-/-</td> </tr> <tr> <td><input checked="" type="checkbox"/></td> <td>Further documents are listed in the continuation of box C.</td> <td><input checked="" type="checkbox"/></td> <td>Patent family members are listed in annex.</td> </tr> <tr> <td colspan="4">           * Special categories of cited documents:            *A* document relating the general state of the art which is not considered to be of particular relevance            *B* earlier document but published on or after the International filing date            *C* document which may have relevance on priority, priority date or which is cited to establish the publication date of another document or other special reason (as specified)            *D* document relating to an oral disclosure, use, exhibition or other results            *E* document published later than the International filing date but earlier than the priority date claimed         </td> </tr> <tr> <td colspan="2">           Date of the earliest completion of the International search  <b>15 July 2004</b> </td> <td colspan="2">           Date of mailing of the International search report  <b>22/07/2004</b> </td> </tr> <tr> <td colspan="2">           Name and mailing address of the ISA            European Patent Office, P.O. Box 8010-Parentesco 2            NL - 2200 MV Rijswijk            Tel: (+31-70) 340-6240, Tx: 31-091 epo NL            Fax: (+31-70) 340-2016         </td> <td colspan="2">           Authorized officer  <b>Messio, S</b> </td> </tr> </table>			International Application No.			PCT/US2004/006534			<b>A. CLASSIFICATION OF SUBJECT MATTER</b> IPC 7 H01L21/28 H01L29/49			According to International Patent Classification (IPC) or to both national classification and IPC			<b>B. FIELDS SEARCHED</b> Main classification(s) searched (classification system followed by classification symbols) IPC 7 H01L			Documentations examined other than main classification to the extent that such documents are included in the fields searched			Electronic data bases consulted during the International search (name of data base and, where practical, search terms used) EPO-Internal, PAJ			<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>			Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	X	PATENT ABSTRACTS OF JAPAN vol. 2003, no. 05, 12 May 2003 (2003-05-12) -& JP 2003 023162 A (SONY CORP.), 26 January 2003 (2003-01-24)	1-8, 11-21, 24-34, 37-39, 58-64, 66-73, 76-81 9,10,22, 23,35, 36, 46-57, 65,74, 75,82-94	Y	abstract; figures 1,2		Y	US 2001/024387 A1 (HAUKKA SURU P ET AL) 27 September 2001 (2001-09-27) paragraph '01231 - paragraph '01331; Figure 2	40-57, 82-94			-/-	<input checked="" type="checkbox"/>	Further documents are listed in the continuation of box C.	<input checked="" type="checkbox"/>	Patent family members are listed in annex.	* Special categories of cited documents: *A* document relating the general state of the art which is not considered to be of particular relevance *B* earlier document but published on or after the International filing date *C* document which may have relevance on priority, priority date or which is cited to establish the publication date of another document or other special reason (as specified) *D* document relating to an oral disclosure, use, exhibition or other results *E* document published later than the International filing date but earlier than the priority date claimed				Date of the earliest completion of the International search <b>15 July 2004</b>		Date of mailing of the International search report <b>22/07/2004</b>		Name and mailing address of the ISA European Patent Office, P.O. Box 8010-Parentesco 2 NL - 2200 MV Rijswijk Tel: (+31-70) 340-6240, Tx: 31-091 epo NL Fax: (+31-70) 340-2016		Authorized officer <b>Messio, S</b>	
International Application No.																																																									
PCT/US2004/006534																																																									
<b>A. CLASSIFICATION OF SUBJECT MATTER</b> IPC 7 H01L21/28 H01L29/49																																																									
According to International Patent Classification (IPC) or to both national classification and IPC																																																									
<b>B. FIELDS SEARCHED</b> Main classification(s) searched (classification system followed by classification symbols) IPC 7 H01L																																																									
Documentations examined other than main classification to the extent that such documents are included in the fields searched																																																									
Electronic data bases consulted during the International search (name of data base and, where practical, search terms used) EPO-Internal, PAJ																																																									
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>																																																									
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.																																																							
X	PATENT ABSTRACTS OF JAPAN vol. 2003, no. 05, 12 May 2003 (2003-05-12) -& JP 2003 023162 A (SONY CORP.), 26 January 2003 (2003-01-24)	1-8, 11-21, 24-34, 37-39, 58-64, 66-73, 76-81 9,10,22, 23,35, 36, 46-57, 65,74, 75,82-94																																																							
Y	abstract; figures 1,2																																																								
Y	US 2001/024387 A1 (HAUKKA SURU P ET AL) 27 September 2001 (2001-09-27) paragraph '01231 - paragraph '01331; Figure 2	40-57, 82-94																																																							
		-/-																																																							
<input checked="" type="checkbox"/>	Further documents are listed in the continuation of box C.	<input checked="" type="checkbox"/>	Patent family members are listed in annex.																																																						
* Special categories of cited documents: *A* document relating the general state of the art which is not considered to be of particular relevance *B* earlier document but published on or after the International filing date *C* document which may have relevance on priority, priority date or which is cited to establish the publication date of another document or other special reason (as specified) *D* document relating to an oral disclosure, use, exhibition or other results *E* document published later than the International filing date but earlier than the priority date claimed																																																									
Date of the earliest completion of the International search <b>15 July 2004</b>		Date of mailing of the International search report <b>22/07/2004</b>																																																							
Name and mailing address of the ISA European Patent Office, P.O. Box 8010-Parentesco 2 NL - 2200 MV Rijswijk Tel: (+31-70) 340-6240, Tx: 31-091 epo NL Fax: (+31-70) 340-2016		Authorized officer <b>Messio, S</b>																																																							

Form PCT/ISA/910 (second edition) January 2004

page 1 of 2

(22)

JP 2006-515471 A 2006.5.25

## INTERNATIONAL SEARCH REPORT

International Application No.  
PCT/US2004/006584

C(ontinuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Designation	Character of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2002/086507 A1 (CHO HEUNG JAE ET AL) 4 July 2002 (2002-07-04) the whole document	9, 22, 35, 65, 74
Y	PATENT ABSTRACTS OF JAPAN vol. 1999, no. 02, 26 February 1999 (1999-02-26) & JP 10 303412 A (SONY CORP), 13 November 1998 (1998-11-13) abstract	10, 23, 36, 75
A	US 2002/024080 A1 (SANDHU GURTEJ S ET AL) 28 February 2002 (2002-02-28) the whole document	40-57, 82-94
A	PATENT ABSTRACTS OF JAPAN vol. 2002, no. 04, 4 August 2002 (2002-08-04) & JP 2001 339061 A (UNIV NAGOYA), 7 December 2001 (2001-12-07) abstract	1-94
A	US 2002/153573 A1 (NOGAMI TOHRU) 24 October 2002 (2002-10-24) the whole document	1-94

Form PCT/ISA210 (pct/isa210) (second edition, January 2004)

page 2 of 2

(23)

JP 2006-515471 A 2006.5.25

## INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No:  
PCT/US2004/006584

Patent document cited in search report	Publication date	Patent family member(s)		Publication date	
JP 2003023152	A 24-01-2003	MO	03009390 A1	30-01-2003	
		TW	563254 B	21-11-2003	
		US	2004014306 A1	22-01-2004	
US 2001024387		JP	2001200363 A	24-07-2001	
		TW	486771 B	11-06-2002	
US 2002086507		KR	2002056260 A	10-07-2002	
		CN	1363949 A	14-08-2002	
		JP	2002237469 A	23-08-2002	
		TW	516131 B	01-01-2003	
JP 10303412	A 13-11-1998	NONE			
US 2002024080	A1 28-02-2002	NONE			
JP 2001339061	A 07-12-2001	NONE			
US 2002153573		JP	3287403 B2	04-06-2002	
		JP	2000243863 A	08-09-2000	
		GB	2348318 A ,B	27-09-2000	

## フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

H 01 L 21/3242 (2006.01)  
H 01 L 27/108 (2006.01)

## (81)指定国

AP(BW,CH,OM,KE,LS,MN,MZ,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(CAT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IT,LU,MC,NL,PL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,GN,GA,GN,GQ,GN,ML,MR,NE,SN,TD,TG),AE,AG,AL,AN,AT,AU,AZ,BA,BB,BG,BR,BW,BY,BZ,CA,CH,CN,GQ,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GN,HR,HU,ID,IL,IN,IS,JP,KE,KG,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MG,MK,MN,MW,MX,NZ,NA,NI,NO,NZ,GN,PG,PH,PL,PT,RO,RU,SC,SD,SE,SG,SK,SL,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,YU,ZA,ZM,ZW)

F ターム(参考) 4M04 BB01 BB13 BB14 BB17 BB18 BB24 BB25 BB27 BB28 BB29  
 BB30 BB32 BB33 BB40 CC05 DD43 EE03 EE15 EE16 FF13  
 FF17 FF18 CC09 CC10 CC14 CC16  
 SF048 AA07 BA01 BB04 BB06 BB07 BB08 BB09 BB10 BB11 BB13  
 BB15 BC05 BE03 DA19 DA20 D423 DA25 D427 DA30  
 SF083 AD01 AD10 AD21 AD31 AD49 AD60 AD62 JA03 JA06 JA12  
 JA19 JA33 JA56 PR21  
 SF140 AA05 AA28 AB03 AB09 AC32 BA01 BD01 BD02 BD05 BD11  
 BD12 BD13 BE09 BE10 BF03 BF07 BF09 BF10 BF14  
 BF18 BF19 BF20 BF21 BF22 BF24 BF27 BF34 BF56 BG08  
 BG09 BG12 BG14 BG22 BG27 BG28 BG31 BG52 BG53 BH14  
 CB08